

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-003503

(43)Date of publication of application : 08.01.1988

(51)Int.Cl.

H03F 3/45  
H01L 29/78

(21)Application number : 61-146735

(71)Applicant : SEIKO INSTR & ELECTRONICS LTD

(22)Date of filing : 23.06.1986

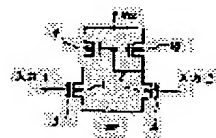
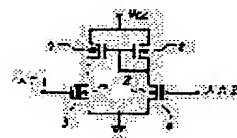
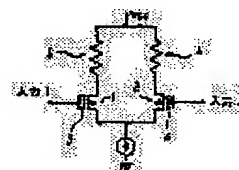
(72)Inventor : KOBAYASHI KENICHI

## (54) DIFFERENTIAL AMPLIFIER CIRCUIT

### (57)Abstract:

**PURPOSE:** To control an offset voltage of a differential amplifier circuit by an IC on-chip freely by employing a transistor whose threshold value is variable for at least one of two input MIS TRs.

**CONSTITUTION:** The TR whose threshold value is variable is used for at least one of the two input MIS TRs of the differential amplifier circuit and the threshold voltage of the TR is changed to change the offset voltage. The threshold variable TR is a TR used for an electrically writable read only memory EPROM or an electrically writable/erasable read only memory E2PROM or the like, and an electric charge is injected to floating gates 3,4 and the acquisition level of the insulation film boundary is changed to vary the threshold value of the TR freely depending on the injected charge quantity.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## ⑫ 公開特許公報(A)

昭63-3503

⑤ Int. Cl.<sup>4</sup>H 03 F 3/45  
H 01 L 29/78  
H 03 F 3/45

識別記号

3 7 1

庁内整理番号

A-6628-5J  
7514-5F  
Z-6628-5J

④ 公開 昭和63年(1988)1月8日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 差動増幅回路

⑭ 特 願 昭61-146735

⑮ 出 願 昭61(1986)6月23日

⑯ 発 明 者 小 林 健 一 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内⑰ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号  
会社

⑱ 代 理 人 弁理士 最 上 務 外1名

## 明 細 書

## 1. 発明の名称

差動増幅回路

## 2. 特許請求の範囲

M I S トランジスタ入力差動増幅回路において、  
2つの入力M I S トランジスタの少なくとも1つ  
を、しきい値可変なトランジスタとしたことを特  
徴とする差動増幅回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、差動増幅回路に関し、特にオフセ  
ット電圧をI C オンチップで変えられるようにし  
た差動増幅回路に関する。

(発明の概要)

この発明は、M I S トランジスタ入力差動増幅  
回路において、2つの入力M I S トランジスタの  
少なくとも一方を、I C 製造後にしきい値が自由  
に変えられるトランジスタとすることによって、

この差動増幅回路のオフセット電圧をI C オンチ  
ップで自由にコントロールするようにしたもの  
である。

(従来技術)

従来差動増幅回路の理想は、入力インピーダン  
ス無限大、出力インピーダンスゼロ、利得無限大、  
オフセット電圧、ドリフトゼロとされてきた。

しかし、現実の回路はそれぞれ有限の値を持ち、  
特にオフセット電圧は、トランジスタ、抵抗等の  
バラツキによりほぼ不可避的に発生し、ドリフト、  
温度特性が大きいため、積極的に利用する例はほ  
んど無かった。第2図(a)には従来のオフセット  
電圧調整回路の一例を示す。この回路では、負荷  
抵抗5、6のバラツキ、あるいは入力トランジス  
タ11、12のバラツキにより発生するオフセットを、  
可変抵抗11aにより、入力2側のバイアス電流値  
を変化させることによって調整している。

この回路では、抵抗11a、11b、11cの温特に  
より、オフセット電圧の温特はゼロにはならない。  
第2図(b)には、C M O S 型差動増幅器の例を示す。

この回路をIC（集積回路）化した場合は、pチャンネルトランジスタ12,13及びnチャンネルトランジスタ14,15のそれぞれのトランジスタサイズをそろえることによってオフセット電圧の発生はおさえられる。また、意図的にオフセットを付ける場合は、負荷となるpチャンネルトランジスタのしきい値を変えたり、トランジスタサイズを変えたりするか、ドライバとなるnチャンネルトランジスタを同様にするにより、オフセット電圧を発生させることができる。

〔発明が解決しようとする問題点〕

しかし、この場合でもオフセット電圧は設計段階で決まり、IC化後のオフセット電圧を自由に変えることは不可能であった。

〔問題点を解決するための手段〕

上記問題点を解決するため、本発明は、差動増幅回路の2つの入力MISトランジスタの少なくとも一方を、しきい値が可変であるトランジスタとし、このトランジスタのしきい値を変えることによってオフセット電圧を変化させるようにした。

差動増幅器の2つの入力は、同じ $\Delta V$ だけの差があるときに2つの入力MISトランジスタの電流が一致し、ここを境にして出力が反転又は、増幅率が最大となる。すなわち、差動増幅器に $\Delta V$ だけのオフセット電圧が発生することになる。2つの入力MISトランジスタのしきい値を変えているのは、前述したようにゲート酸化膜の捕獲中心や浮遊ゲート中の電荷であり、これは通常の使用温度範囲では変化しないため、しきい値が $\Delta V$ だけ差を持つ以外は2つの入力MISトランジスタの温度特性は一致する。このことは、本発明の差動増幅器のオフセット電圧の温度特性がゼロであることを意味する。

本発明の差動増幅器は、ICオンチップでオフセット電圧を変化させることができ、原理的にこのオフセットの温度特性がゼロにできる。

〔実施例〕

以下に本発明の実施例を図面に基づいて詳細に説明する。

第1図(a)は本発明のオフセット電圧可変差動増

しきい値電圧可変なトランジスタとは、例えばEPROM（電氣的に書き込み可能な読み出し専用メモリ）やE<sup>2</sup>EPROM（電氣的に書き込み消去可能な読み出し専用メモリ）等で使われているトランジスタで、絶縁膜境界の捕獲単位や、浮遊ゲートに電荷を注入し、この注入された電荷の量によってトランジスタのしきい値を自由に変えることができるものである。注入方法には、現在2種類の方法が一般的である。1つは、絶縁膜に高電界を加えたときに流れるトンネル電流を利用したものであり、もう1つは、MISトランジスタのチャンネル中にホットエレクトロンを発生させ、これが絶縁膜のバリアを飛び越えることを利用したものである。

〔作用〕

しきい値可変なトランジスタを差動増幅回路の2つの入力MISトランジスタの少なくとも一方に使用すれば、ICオンチップでの入力MISトランジスタのしきい値電圧の制御が可能である。しきい値に例えば $\Delta V$ の差をつけたとすれば、差

幅回路を抵抗負荷型差動増幅回路で実現した例である。5, 6は負荷抵抗、1, 2はしきい値可変なトランジスタ、3, 4は、先に述べた絶縁膜境界の捕獲単位、又は浮遊ゲートを示したもので、前述した方法で電荷を注入し、しきい値を変える。入力トランジスタ1と2で $\Delta V_{TH}$ だけのしきい値の差があれば、入力電圧に $\Delta V_{TH}$ だけの差があるとき、入力トランジスタ1と2を流れる電流が等しくなるため、出力が反転、または増幅率が最大になり、この差動増幅回路 $\Delta V_{TH}$ だけのオフセット電圧を持つことになる。第1図(b), (c)はそれぞれ本発明をCMOS型、EDMOS型で実現した例である。

いずれの場合も、入力の2つのMISトランジスタを、しきい値可変なトランジスタとしているところが本発明の重要な点である。言うまでもないが図では、入力の2つをしきい値可変なトランジスタにしているが、片方でも良い。本発明の回路のオフセット電圧の温特に関しては、原理的にゼロである点もこの回路のすぐれた点で、これは

オフセット電圧が、しきい値の差を利用しているためである。

第3図には、本発明を利用した定電圧回路の回路例を示した。図中の16は、本発明の差動増幅回路である。第4図は抵抗17と18によって、負帰還の量を変え、出力電圧が抵抗値により、オフセット電圧の係数倍出るようにしたもので、相方の回路共に温度係数はゼロで、温度が変化しても出力は一定に保たれる。また、ICチップ上での調整が可能である。

第5図は、本発明の回路を定電圧レギュレータに応用した例で、オンチップで出力電圧を変化させることができる。

また図では示さなかったが、その他レベル検出器、ADコンバータ等にも応用可能で、オンチップで電圧が変えられる点及び温度特性持たない点においてすぐれている。

(発明の効果)

本発明は、以上述べたように、差動増幅回路のオフセット電圧をICオンチップで変えることが

出来、このオフセット電圧が温度に対して安定している点で効果がある。

#### 4. 図面の簡単な説明

第1図(a)は、オフセット電圧可変の抵抗負荷型差動増幅器の回路図、第1図(b)は、オフセット電圧可変のCMOS型差動増幅器の回路図、第1図(c)は同じくオフセット電圧可変のEDMOS型差動増幅器の回路図、第2図(a)、(b)は、オフセット電圧を変える従来の回路図、第3図は、オフセット電圧可変差動増幅器を使った定電圧回路の回路図、第4図は、オフセット電圧可変差動増幅器を使った回路の回路図、第5図は、オフセット電圧可変差動増幅器を使った半固定定電圧レギュレータの回路図である。

- 1. 2 . . . しきい値可変トランジスタ
- 3. 4 . . . 電荷の捕獲中心又は浮遊ゲート
- 5. 6 . . . 負荷抵抗
- 7. 8 . . . 負荷pチャンネルトランジスタ

9. 10 . . . 負荷nチャンネルデプレッショントランジスタ

11 a, b, c . . . バイアス抵抗

12, 13 . . . 負荷pチャンネルトランジスタ

14, 15 . . . 入力トランジスタ

16 . . . 本発明のオフセット電圧可変な差動増幅回路を表す記号

17, 18 . . . 分割、帰還抵抗

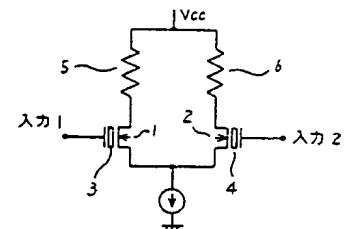
19 . . . リファレンス電圧発生回路

20 . . . 出力トランジスタ

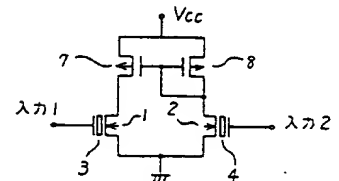
以 上

出願人 セイコー電子工業株式会社

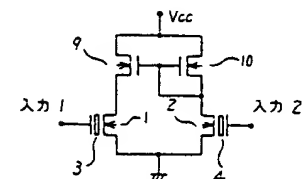
代理人 弁理士 阪 上 務 (他1名)



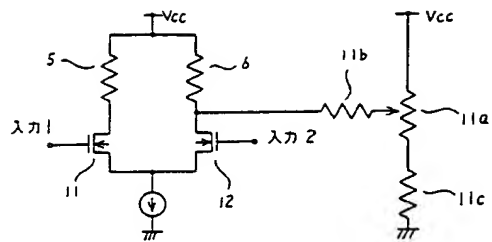
オフセット電圧可変抵抗負荷型差動増幅器の回路図  
第1図 (a)



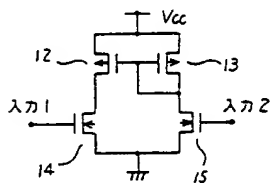
オフセット電圧可変CMOS型差動増幅器の回路図  
第1図 (b)



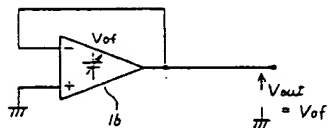
オフセット電圧可変EDMOS型差動増幅器の回路図  
第1図 (c)



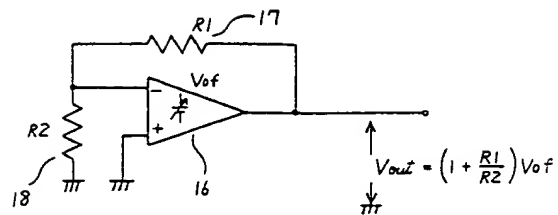
オフセット電圧を変える従来の回路図  
第 2 図 (a)



オフセット電圧を変える従来の回路図  
第 2 図 (b)

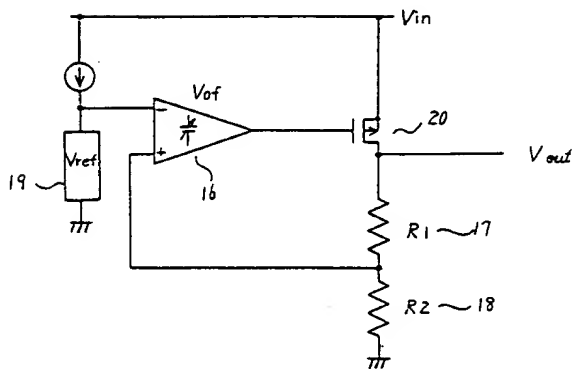


オフセット電圧可変差動増幅器を使った定電圧回路の回路図  
第 3 図



オフセット電圧可変差動増幅器を使った定電圧回路の回路図

第 4 図



オフセット電圧可変差動増幅器を使った  
半固定電圧レギュレータの回路図  
第 5 図